

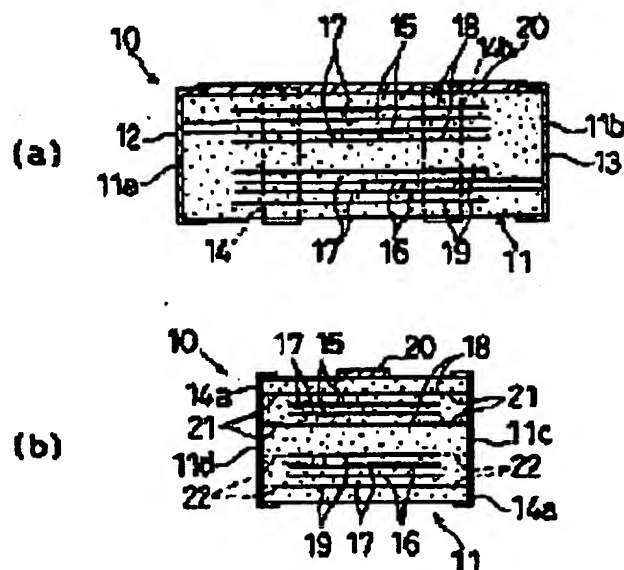
# LAMINATED TYPE CHIP VARISTOR

Patent number: JP6045109  
Publication date: 1994-02-18  
Inventor: USHIRO TOMOAKI; NAKAMURA KAZUYOSHI  
Applicant: MURATA MANUFACTURING CO  
Classification:  
- international: H01C7/00; H01C7/10; H01C13/02; H01C7/00;  
H01C7/10; H01C13/00; (IPC1-7): H01C7/10; H01C7/00;  
H01C13/02  
- european:  
Application number: JP19920194006 19920721  
Priority number(s): JP19920194006 19920721

Report a data error here

## Abstract of JP6045109

**PURPOSE:** To provide a laminated type chip varistor having reduced mounting space, reduced number of components, unnecessary directivity when mounting on a substrate and improved productivity. **CONSTITUTION:** The first inner electrodes 15 and 16 and the second inner electrodes 18 and 19 are buried in a ceramic sintered body 11, the first inner electrodes 15 and 16 are led out to one edge face 11a and other edge face 11b of the sintered body 11, and the input and output electrodes 12 and 13, to be connected to the above-mentioned first inner electrodes 15 and 16, are formed on both edge faces 11a and 11b. Also, a resistor 20, to be connected to both input and output electrodes 12 and 13, is provided on the surface of the sintered body 11. The second inner electrodes 18 and 19 are led out to both edge faces of the side faces 11c and lid of the sintered body 11, and the first and the second ground electrodes 14a and 14b, to be connected to the second inner electrodes 18 and 19, are formed on the above-mentioned both edge faces. As a result, a laminated type chip varistor 10 can be constituted.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-45109

(43)公開日 平成 6 年(1994) 2 月18日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 C 7/10				
7/00	A			
13/02	D	8834-5E		

審査請求 未請求 請求項の数 2 (全 7 頁)

(21)出願番号 特願平4-194006

(22)出願日 平成 4 年(1992) 7 月21日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神 2 丁目26番10号

(72)発明者 後 外茂昭

京都府長岡京市天神 2 丁目26番10号 株式  
会社村田製作所内

(72)発明者 中村 和敬

京都府長岡京市天神 2 丁目26番10号 株式  
会社村田製作所内

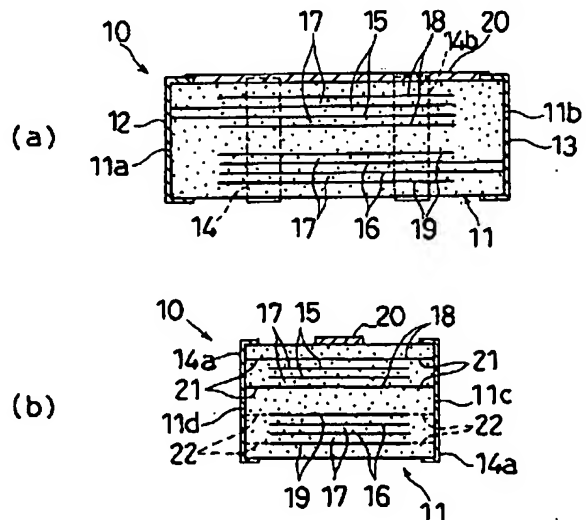
(74)代理人 弁理士 下市 努

(54)【発明の名称】 積層型チップバリスタ

(57)【要約】 (修正有)

【目的】 実装スペースの縮小、部品点数の削減を図り、プリント基板に実装する際の方向性を不要にでき、生産性を向上できる積層型チップバリスタを提供する。

【構成】 セラミック焼結体 11 内に第 1 内部電極 15、16 及び第 2 内部電極 18、19 を埋設し、上記各第 1 内部電極 15、16 をそれぞれ焼結体 11 の一端面 11a、及び他端面 11b に導出し、この両端面 11a、11b に上記各第 1 内部電極 15、16 に接続される入力、出力電極 12、13 を形成する。また上記焼結体 11 の表面に両入力、出力電極 12、13 に接続される抵抗体 20 を配設する。そして、上記各第 2 内部電極 18、19 をそれぞれ焼結体 11 の側面 11c、11d の両端部に導出し、この両端部に上記各第 2 内部電極 18、19 に接続される第 1、第 2 グランド電極 14a、14b を形成し、これにより積層型チップバリスタ 10 を構成する。



1

## 【特許請求の範囲】

【請求項1】 セラミック焼結体内に少なくとも一対の第1、第2内部電極からなる対向電極を2組埋設し、各組の第1内部電極をそれぞれ焼結体の一端面、他端面に導出し、該焼結体の一端面、他端面に上記各第1内部電極の導出端が接続される入力、出力電極を形成するとともに、上記焼結体の表面、又は内部に上記入力、出力電極に接続される抵抗体を配設し、上記各組の第2内部電極の両端を焼結体の一側面及び他側面に導出し、焼結体の各側面に上記各組の第2内部電極の導出端が接続される第1、第2グラウンド電極を形成したことを特徴とする積層型チップバリスタ。

【請求項2】 セラミック焼結体内に少なくとも一対の内部電極を埋設するとともに、各内部電極をそれぞれ焼結体の一端面、他端面に導出し、該焼結体の両端面に上記各内部電極の導出端が接続される外部電極を形成し、上記焼結体の表面、又は内部に一対の抵抗体を配設し、該各抵抗体の一端部をそれぞれ上記外部電極に接続するとともに、他端部をそれぞれ上記焼結体の側面の両端部に導出し、該焼結体の両端部に上記各抵抗体の他端部が接続される第1、第2側面電極を形成したことを特徴とする積層型チップバリスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電圧非直線抵抗体として機能するバリスタ素子と抵抗素子とを一体化してなる積層型のチップバリスタに関し、特に実装スペースの縮小、及び部品点数の削減を図りながら、プリント基板に実装する際の方法を自由にでき、ひいては別工程による表示マークの形成を省略でき、製造工程を簡略化できるようにした構造に関する。

## 【0002】

【従来の技術】ICやLSI等においては、静電気サージ等の侵入によって誤動作や破壊が生じるおそれがある。このような静電気等の侵入を防止するために、従来、図15に示すように、低電圧で電流吸収能力を持つ積層型チップバリスタ（例えば、特公昭58-23921号公報参照）をIC回路に並列接続してICを保護するようにしている。このICを保護するには、積層型バリスタの制限電圧を15V以下にする必要があることから、例えばZnOを主成分としたバリスタでは、グレインサイズを10 $\mu$ m以上に大きくしたり、あるいは内部電極間のセラミック層の厚さを10 $\mu$ m以下に設定して低いバリスタ電圧を得ている。しかし、グレインサイズを大きくしたり、厚さを小さくすると漏れ電流が大きくなったり、バリスタ電圧がばらついたりし易く、信頼性に劣るという問題がある。

【0003】このような問題を解消する手段として、従来、図16に示すように、積層型バリスタとICとの間に抵抗体を直列接続して回路を構成したものがあ

2

るように抵抗体を付加することによって、比較的高いバリスタ電圧を持つ積層型バリスタを使用することができ、例えばグレインサイズが3 $\mu$ m程度で、かつ厚さ20 $\mu$ m以上のセラミック層からなる積層型バリスタを構成できる。その結果、漏れ電流を小さくできるとともに、バリスタ電圧を均一化でき、信頼性を向上できる。

## 【0004】

【発明が解決しようとする課題】しかしながら、上記従来の積層型バリスタに抵抗体を直列接続する場合、プリント基板に2つの素子を別々に実装することから、実装スペースが拡大し、高密度実装に対応できないという問題があり、また部品点数が増える分だけ実装コストが上昇するという問題がある。

【0005】ここで、本件出願人は、図14に示すように、バリスタ素子と抵抗体とを一体化してなる積層型の複合チップバリスタを提案した。この積層型チップバリスタ1は以下の構造を有している。セラミック焼結体2の左、右端面にそれぞれ入力電極3、出力電極4を形成するとともに、両側面の中央部にグラウンド電極5を形成する。また上記焼結体2内に、図示しない一対の内部電極を埋設し、一方の内部電極を上記入力電極3に、他方の内部電極をグラウンド電極5にそれぞれ接続する。そして上記焼結体2の表面に抵抗膜6を形成し、この抵抗膜6の両端を入力、出力電極3、4に接続して構成されている。このチップバリスタ1によれば、1つの部品でバリスタ機能と抵抗機能とを得ることができ、実装スペースを縮小できるとともに、部品点数を削減でき、上述の問題を解消できる。

【0006】ところで、上記積層型チップバリスタ1を回路基板等を実装する場合、図12の等価回路に示すように、入力、出力電極3、4及びグラウンド電極5でL字型の回路が構成されており、各電極3～5の接続方向が決まっている。例えば、図13に示すように、入力、出力電極3、4の接続方向を逆方向に接続すると、高エネルギーのサージ電流が抵抗膜6に流れることから該抵抗膜6が焼損し易く、信号回路をオープンにしてしまうという問題が生じる。従って、上記チップバリスタ1に接続方向を識別できる表示マークを別途形成する必要がある、それだけ製造工数が増えることから、この点での改善が要請されている。

【0007】本発明の目的は、実装スペースの縮小、及び部品点数の削減を図りながら、接続方向の表示マークを不要にして製造工程を簡略化できる積層型チップバリスタを提供することにある。

## 【0008】

【課題を解決するための手段】そこで請求項1の発明は、セラミック焼結体内に少なくとも一対の第1、第2内部電極からなる対向電極を2組埋設し、各組の第1内部電極をそれぞれ焼結体の一端面、他端面に導出し、焼結体の一端面、他端面に上記各第1内部電極の導出端が

接続される入力、出力電極を形成するとともに、上記焼結体の表面、又は内部に上記入力、出力電極に接続される抵抗体を配設し、上記各組の第2内部電極の両端を焼結体の一側面及び他側面に導出し、焼結体の各側面に上記各組の第2内部電極の導出端が接続される第1、第2グラウンド電極を形成したことを特徴とする積層型チップバリスタである。

【0009】また、請求項2の発明は、セラミック焼結体内に少なくとも一対の内部電極を埋設するとともに、各内部電極をそれぞれ焼結体の一端面、他端面に導出し、該焼結体の両端面に上記各内部電極の導出端が接続される外部電極を形成し、上記焼結体の表面、又は内部に一対の抵抗体を配設し、該各抵抗体の一端部をそれぞれ上記外部電極に接続するとともに、他端部をそれぞれ上記焼結体の側面の両端部に導出し、該焼結体の両端部に上記抵抗体が接続される第1、第2側面電極を形成したことを特徴とする積層型チップバリスタである。

【0010】

【作用】請求項1の発明に係る積層型チップバリスタによれば、焼結体内に電圧非直線特性を発現する一対の第1、第2内部電極を2組埋設し、この各第1内部電極をそれぞれ入力、出力電極に接続するとともに、各第2内部電極をそれぞれ焼結体の両端部に形成された第1、第2グラウンド電極に接続したので、左右対称のバリスタ素子を構成でき、かつこの両バリスタ素子に抵抗機能を一体化した素子を構成できる。その結果、上記チップバリスタを左、右いずれの方向に向けても上述のL字型回路を構成できることから、従来の別工程による表示マークを不要にでき、それだけ製造工程を省略でき、ひいては生産性を向上できる。また、単体の素子でバリスタ機能と抵抗機能とを得ることができることから、実装スペースを縮小できるとともに、部品点数を削減して実装コストを低減できる。

【0011】また、請求項2の発明に係る積層型チップバリスタによれば、焼結体に一対の内部電極を埋設するとともに、一対の抵抗体を配設し、上記各内部電極をそれぞれ外部電極に接続し、この両外部電極に上記各抵抗体の一端部を接続するとともに、他端部を焼結体の両端部に形成された第1、第2端面電極に接続したので、上記何れか一方の外部電極を入力側に、他方をグラウンド側に接続するとともに、上記いずれか一方の端面電極を出力側に接続することによって、バリスタ素子に左右対象の抵抗機能を一体化した素子を構成できる。その結果、左、右いずれの方向に向けても上述のL字型回路を構成できることから、この場合も表示マークを不要にでき、製造工程を省略できる。

【0012】

【実施例】以下、本発明の実施例を図について説明する。図1ないし図5は、請求項1の発明に係る第一実施例による積層型チップバリスタを説明するための図であ

る。図1は斜視図、図2(a)は図1のIIa-IIa線断面図、図2(b)は図1のIIb-IIb線断面図、図3は分解斜視図、図4は平面図、図5は等価回路図である。図において、10は本実施例の積層型チップバリスタであり、これはZnOを主成分とする直方体状のセラミック焼結体11によって構成されている。この焼結体11内の上部にはセラミック層17を挟んで対向する2対の第1内部電極15と第2内部電極18とからなる1組の対向電極が埋設されている。また下部にも同じくセラミック層17を挟んで対向する第1内部電極16と第2内部電極19とからなる1組の対向電極が埋設されている。この各組の内部電極15、18により、及び16、19により挟まれたセラミック層17部分が電圧非直線特性を発現するバリスタ部となっており、これにより左右対称のバリスタ部が形成されている。

【0013】上記上側の組の第1内部電極15、15の一端は焼結体11の左端面11aに露出しており、残りは焼結体11内に封入されている。また下側の組の第1内部電極16、16の一端は焼結体11の右端面11bに露出しており、残りは焼結体11内に封入されている。また、上記焼結体11の左、右端面11a、11bにはそれぞれ入力用、出力用の外部電極12、13が形成されており、この各電極12、13にはそれぞれ上記第1内部電極15、16の一端が接続されている。

【0014】また、上記焼結体11の上面には、これの左、右端面11a、11b方向に延びる帯状の抵抗膜20が形成されており、この抵抗膜20の両端は上記入力用、出力用外部電極12、13に接続されている。

【0015】図3に示すように、上側の第2内部電極18の図示左側部には一対の引出電極21が接続形成されており、この両引出電極21は上記焼結体11の両側面11c、11dに露出されている。また下側の第2内部電極19の図示右側部には一対の引出電極22が接続形成されており、この両引出電極22は上記焼結体11の両側面11c、11dに露出されている。

【0016】そして、上記焼結体11の両側面11c、11dの左、及び右側面にはそれぞれ第1、第2グラウンド電極14a、14bが形成されている。この第1グラウンド電極14aは上記上側の第2内部電極18の引出電極21に接続されており、第2グラウンド電極14bは下側の第2内部電極19の引出電極22に接続されている。

【0017】次に、本実施例の作用効果について説明する。本実施例の積層型チップバリスタ10は、電源部、あるいは信号ラインから侵入する静電気サージ等を吸収してICやLSI等の破壊を防止する機能を有している。このチップバリスタ10を回路基板に接続するには、図4に示すように、プリント基板上の信号ラインの入力部ランドAに入力電極12を、ICへの出力部ランドBに出力電極13をそれぞれ半田付け接続するととも

に、グラウンドラインランドCに第1グラウンド電極14aを半田付け接続する。この場合、第2グラウンド電極14bはフリーとなりどこへも接続されない。また、上記チップバリスタ10を左右逆に接続すると、符号13が入力電極、12が出力電極となり、第2グラウンド電極14bがグラウンドラインに接続され、第1グラウンド電極14aがフリーとなる。

【0018】このように本実施例によれば、焼結体11内の上部に第1、第2内部電極15、18を埋設するとともに、下部に第1、第2内部電極16、19を埋設し、上記各第1内部電極15をそれぞれ入力用、出力用外部電極12、13に接続し、上記各第2内部電極18、19をそれぞれ第1、第2グラウンド電極14a、14bに接続したので、左右対称のバリスタ素子を構成できるとともに、この両バリスタ素子に抵抗素子を一体化した複合素子を構成でき、その結果、接続時における方向を自由にできることから、従来の表示マークを別途形成する必要はなく、製造工程を省略でき、ひいては生産性を向上できる。

【0019】また、接続方向を自由にしたことから、グラウンド電極を形成したり、特性を選別したり、あるいはテーピングしたりする際、チップバリスタ10の向きを選別する必要がなく、この点からも生産性を向上できる。さらに、単一のバリスタ素子に抵抗を一体化したので、実装時のスペースを縮小できるとともに、部品点数を削減してコストを低減できる。

【0020】図6及び図7は、上記実施例の変形例による積層型チップバリスタを示す図であり、図中、図1、図2と同一符号は同一又は相当部分を示す。この積層型チップバリスタ10は、抵抗膜20を焼結体11に内蔵した例である。即ち、焼結体11内の上部に帯状の抵抗膜20を埋設し、この抵抗膜20の両端部を導出電極25を介して左、右端面11a、11bに導出し、該導出電極25を入力用、出力用外部電極12、13に接続して構成されている。この例においても、接続方向を自由にでき、上記実施例と同様の効果が得られる。

【0021】図8ないし図11は、請求項2の発明に係る第2実施例による積層型チップバリスタを説明するための図である。図において、30は本実施例の積層型チップバリスタであり、これはセラミック焼結体31内に2対の第1、第2内部電極32、33を埋設し、この第1内部電極32の一端を上記焼結体31の一端面31aに露出し、第2内部電極33の一端を焼結体31の他端面31bに露出して構成されている。この各対の内部電極32、33で挟まれたセラミック層34部分が電圧非直線特性を発現するバリスタ部となっている。

【0022】上記焼結体31の左、右端面31a、31bには外部電極35、36が形成されており、この外部電極35、36は上記各内部電極32、33に接続されている。

【0023】また、上記焼結体31内には、一対の抵抗膜37、38が埋設されており、この各抵抗膜37、38は焼結体11内に封入されている。この各抵抗膜37、38の外端部には引出電極39が接続形成されており、この引出電極39は上記外部電極35、36に接続されている。また、上記各抵抗膜37、38の内端部には引出電極40が接続形成されており、この引出電極40は上記焼結体31の両側面31c、31dの左、右両端部に露出されている。

【0024】そして、上記焼結体31の両側面31c、31dの左、右両端部には第1、第2側面電極41、42が形成されており、この各側面電極41、42は上記引出電極40を介して各抵抗膜37、38に接続されている。

【0025】本実施例の積層型チップバリスタ30を回路基板に接続するには、図10に示すように、プリント基板上の信号ラインの入力部ランドAに一方の外部電極35を、グラウンドラインランドCに他方の外部電極36をそれぞれ接続するとともに、ICへの出力部ランドBに第1側面電極41を半田付け接続する。この場合、第2側面電極42はフリーとなる。また上記チップバリスタ30を左右逆に接続すると、符号36が入力部ランドA、35がグラウンドラインランドCに接続されることとなり、これにより第2側面電極42がICへの出力部ランドBに接続される。

【0026】本実施例によれば、焼結体31内に第1、第2内部電極32、33を埋設するとともに、一対の抵抗膜37、38を埋設し、この各抵抗膜37、38の外端部、及び上記第1、第2内部電極32、33の一端部をそれぞれ外部電極35、36に接続し、上記抵抗膜37、38の内端部を第1、第2側面電極41、42に接続したので、左右対象の抵抗素子を構成できるとともに、この両抵抗素子にバリスタ素子を一体化した複合素子を構成できる。その結果、接続時における方向性を不要にできることから、生産性を向上でき、上記実施例と同様の効果が得られる。

【0027】

【発明の効果】以上のように請求項1の発明に係る積層型チップバリスタによれば、焼結体内に一対の第1、第2内部電極からなる対向電極を2組埋設し、この各第1内部電極をそれぞれ入力、出力電極に接続するとともに、各第2内部電極をそれぞれ焼結体の両側面に形成された第1、第2グラウンド電極に接続したので、また請求項2の発明では、焼結体に一対の内部電極を埋設するとともに、一対の抵抗体を配設し、この各内部電極をそれぞれ外部電極に接続し、この両外部電極に上記各抵抗体の一端部を接続するとともに、他端部を焼結体の両側面に形成された第1、第2側面電極に接続したので、上記チップバリスタを左、右いずれの方向に向けてもL字型回路を構成できることから、従来の別工程による表示マ

ークを不要にでき、それだけ製造工程を省略でき、ひいては生産性を向上できる効果がある。また実装スペースを縮小できるとともに、部品点数を削減して実装コストを低減できる効果がある。

【図面の簡単な説明】

【図1】請求項1の発明に係る第1実施例による積層型チップバリスタを説明するための斜視図である。

【図2】上記第1実施例の積層型チップバリスタの断面図である。

【図3】上記第1実施例の積層型チップバリスタの分解斜視図である。

【図4】上記第1実施例の積層型チップバリスタの実装状態を示す平面図である。

【図5】上記第1実施例の積層型チップバリスタの等価回路図である。

【図6】上記第1実施例の変形例による積層型バリスタを示す断面図である。

【図7】上記変形例による積層型チップバリスタの斜視図である。

【図8】請求項2の発明に係る第2実施例による積層型チップバリスタを説明するための断面図である。

【図9】上記第2実施例の積層型チップバリスタの断面平面図である。

【図10】上記第2実施例の積層型チップバリスタの実装状態を示す平面図である。

【図11】上記第2実施例の積層型チップバリスタの等\*

\* 価回路図である。

【図12】本発明の成立過程を説明するための等価回路図である。

【図13】本発明の成立過程を説明するための問題点を示す等価回路図である。

【図14】本発明の成立過程を説明するための積層型チップバリスタの斜視図である。

【図15】従来の積層型チップバリスタの等価回路図である。

【図16】従来の積層型チップバリスタに抵抗体を付加した等価回路図である。

【符号の説明】

10、30 積層型チップバリスタ

11、31 セラミック焼結体

11a、31a 焼結体の一端面

11b、31b 焼結体の他端面

11c、11d、31c、31d 焼結体の側面

12、13 入力、出力電極

14a、14b 第1、第2グランド電極

15、16 第1内部電極

18、19 第2内部電極

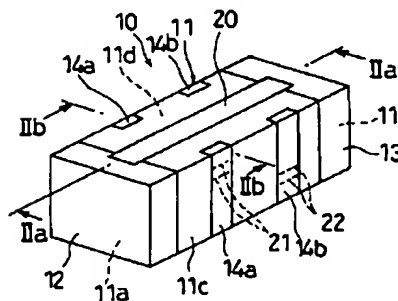
20、37、38 抵抗膜

32、33 内部電極

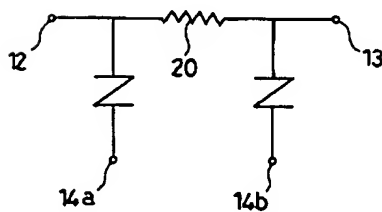
35、36 外部電極

41、42 第1、第2側面電極

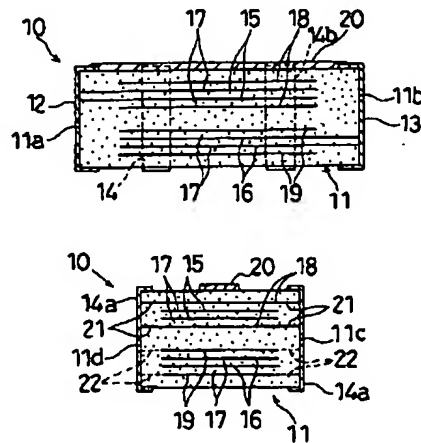
【図1】



【図5】

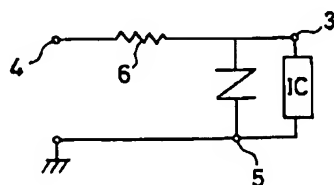


【図2】

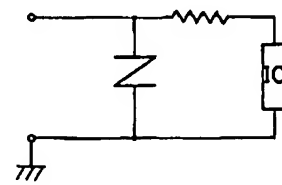


(b)

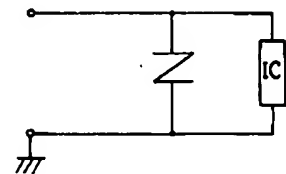
【図13】



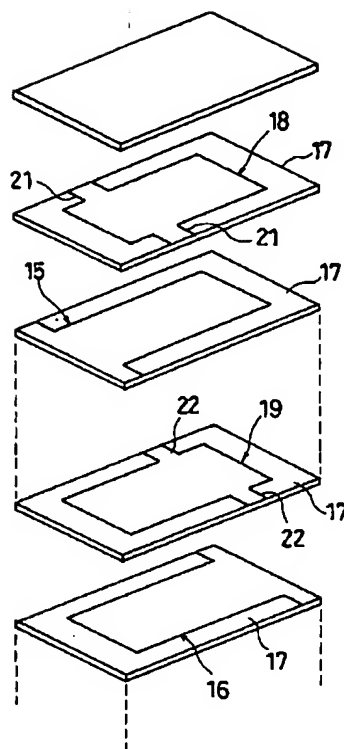
【図16】



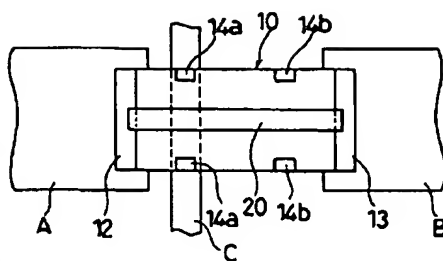
【図15】



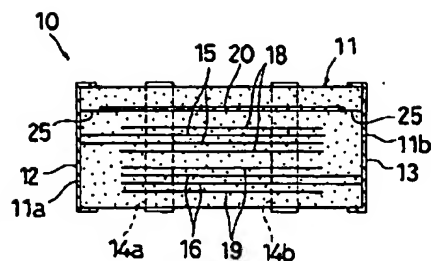
【図3】



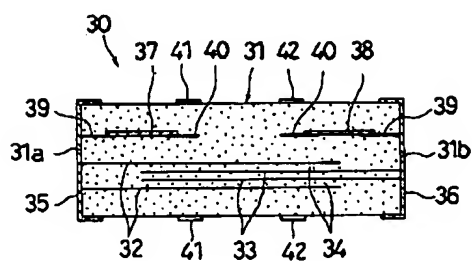
【図4】



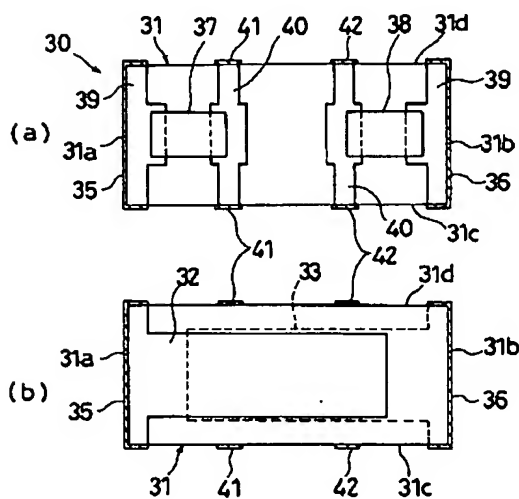
【図6】



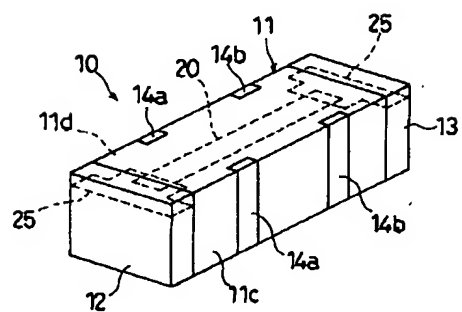
【図8】



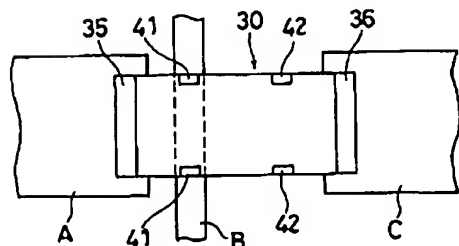
【図9】



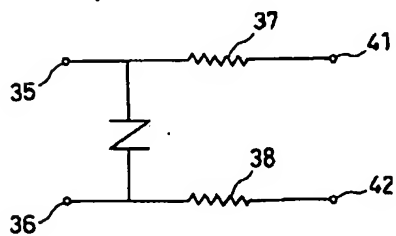
【図7】



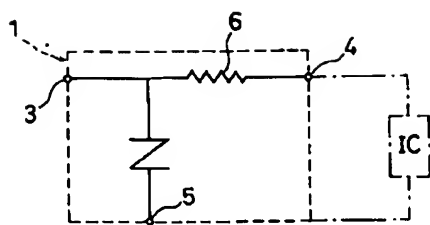
【図10】



【図11】



【図12】



【図14】

